

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009133574 **Image available**

WPI Acc No: 1992-261012/199232

XRAM Acc No: C92-116561

XRPX Acc No: N92-199586

Non single crystal semiconductor device formed on a glass substrate - by
solid phase growth from amorphous silicon@ film

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); TDK CORP (DENK)

Inventor: ARAI M; FUKADA T; FURUKAWA N; HIROKI M; IKEDA M; KODAMA M;

SAKAMOTO N; SUGIURA K; TAKAYAMA I; YAMAUCHI Y

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 497592	A2	19920805	EP 92300787	A	19920130	199232 B
JP 4245443	A	19920902	JP 9129412	A	19910130	199242
JP 4245482	A	19920902	JP 9129411	A	19910130	199242
EP 497592	A3	19930721	EP 92300787	A	19920130	199406
US 5298455	A	19940329	US 92825552	A	19920127	199412
US 5442198	A	19950815	US 92825552	A	19920127	199538
			US 94189498	A	19940131	

Priority Applications (No Type Date): JP 9129412 A 19910130; JP 9129411 A
19910130

Cited Patents: No-SR.Pub; 3.Jnl.Ref; EP 310702; EP 383230; US 4814292

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 497592	A2	E 22	H01L-029/784	
Designated States (Regional): DE FR GB				
JP 4245443	A		8 H01L-021/336	
JP 4245482	A		10 H01L-029/784	
US 5298455	A		18 H01L-021/00	
US 5442198	A		18 H01L-021/00	Div ex application US 92825552 Div ex patent US 5298455
EP 497592	A3		H01L-029/784	

Abstract (Basic): EP 497592 A

Producing a non-single crystal semiconductor device comprises
placing an amorphous Si film on a glass substrate through CVD process
using disilane gas; effecting solid phase growth of the amorphous Si
film by heating the substrate together with the film in N2 gas atmos.;
producing an insulation film on the solid phase growth film; implanting
a donor into the solid phase growth film around the insulation film for
a source and a drain of a transistor; placing a conductive film on the
insulation film as a gate electrode.

Pref. (i) the temp. for the solid phase growth is 550-600 deg.C,
for 8-56 hrs.; (ii) the thickness of the amorphous Si film is 50-200
nm, and the growth rate 50-500 nm/min.; (iii) the density of O2 gas in
the amorphous Si film is less than 2 x 10 power19 cm3.

USE/ADVANTAGE - New improved non-single crystal semiconductor
device produced on a glass substrate which has a high switching speed

and a high mobility. Suitable for TFT's and image sensors having
photosensorsses

Dwg.1h/10

Title Terms: NON; SINGLE; CRYSTAL; SEMICONDUCTOR; DEVICE; FORMING;
GLASS; SUBSTRATE; SOLID; PHASE; GROWTH; AMORPHOUS; SILICON; FILM

Derwent Class: L03; U11; U12; U13

International Patent Class (Main): H01L-021/336; H01L-029/784

International Patent Class (Additional): H01L-021/02; H01L-021/20;

H01L-021/205; H01L-027/146; H01L-029/161; H01L-029/34

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03880382

NON-SINGLE CRYSTAL SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **04-245482** [JP 4245482 A]

PUBLISHED: September 02, 1992 (19920902)

INVENTOR(s): ARAI MICHIO

APPLICANT(s): TDK CORP [000306] (A Japanese Company or Corporation), JP
(Japan)

SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 03-029411 [JP 9129411]

FILED: January 30, 1991 (19910130)

INTL CLASS: [5] H01L-029/784; H01L-021/20; H01L-021/205; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1305, Vol. 17, No. 15, Pg. 61,
January 12, 1993 (19930112)

ABSTRACT

PURPOSE: To form an even non-single crystal semiconductor layer in high channel mobility as a non-single crystal semiconductor layer for TFT on a glass substrate at low temperature in relation to the title non-single crystal semiconductor device.

CONSTITUTION: A non-single crystal semiconductor layer in particle diameter 1/2-4 times of the film thickness preferably in 500 angstroms -8000 angstroms is formed on a glass substrate. Besides, this semiconductor can be manufactured on the glass substrate by forming an amorphous silicon layer by CVD step using disilane gas to be annealed for solid deposition.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-245482

(43)公開日 平成4年(1992)9月2日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/20		9171-4M		
21/205		7739-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		9056-4M		3 1 1 C
審査請求 未請求 請求項の数5(全10頁) 最終頁に続く				

(21)出願番号	特願平3-29411	(71)出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22)出願日	平成3年(1991)1月30日	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
		(72)発明者	荒井 三千男 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
		(74)代理人	弁理士 山谷 皓榮 (外1名)

(54)【発明の名称】 非単結晶半導体装置とその製造方法

(57)【要約】

【目的】 本発明は非単結晶半導体装置に関し、ガラス基板上に低温で形成するTFT用の非単結晶半導体層として、チャンネル移動度が大きく、均一な非単結晶半導体層を実現することを目的とする。

【構成】 ガラス基板上に、その粒径が膜厚の1/2倍～4倍であり、好ましくは500Å～8000Åの大きさである非単結晶半導体層を構成する。また、この半導体層はガラス基板上にジシランガスを用いたCVD法でアモルファスシリコン層を成膜し、これをアニールして固相成長させて製造する。

【特許請求の範囲】

【請求項1】 ガラス基板上の非単結晶半導体装置において、素子の形成される非単結晶半導体層の平均粒径が、膜厚の1/2倍～4倍であることを特徴とする非単結晶半導体装置。

【請求項2】 前記非単結晶半導体層の平均粒径が250Å～8000Åであることを特徴とする請求項1記載の非単結晶半導体装置。

【請求項3】 前記非単結晶半導体層の膜厚が500Åから2000Åであることを特徴とする請求項1または請求項2記載の非単結晶半導体装置。

【請求項4】 前記非単結晶半導体層の酸素濃度は $2 \times 10^{19}/\text{cm}^3$ 以下であることを特徴とする請求項1、請求項2または請求項3記載の非単結晶半導体装置。

【請求項5】 ガラス基板上の非単結晶半導体装置において、ガラス基板上に、ジシランガスを用いたCVD法でアモルファスシリコン層を成膜する工程と、アニール工程を含むことを特徴とする請求項1、請求項2、請求項3または請求項4記載の非単結晶半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は非単結晶半導体装置とその製造方法に係り、特にガラス基板上の非単結晶シリコン（ポリシリコン、アモルファスシリコン等）膜に形成した薄膜トランジスタ（Thin Film Transistor、以下TFTという）の特性を改善するものである。

【0002】

【従来の技術】ファクシミリ用のイメージセンサ等に用いるTFTは、通常石英基板あるいはガラス基板上に形成した多結晶シリコン、アモルファスシリコン等の非単結晶半導体層に形成される。

【0003】従来、石英基板上的TFTは900℃以上の高温プロセスで形成されるが、ガラス基板上的TFTは600℃以下の低温で形成される。この低温プロセスによってTFTを形成するための非単結晶層も当然600℃以下の低温で形成する。

【0004】即ち、ガラス基板上に例えばシラン（SiH₄）ガスを用いたプラズマCVD法や減圧CVD法（LPCVD法）によりアモルファスシリコン（a-Si）層を成長させた後、固相成長させてポリシリコン化して活性層とするものである。

【0005】固相成長させるためには、（1）低温で長時間アニールする方法と（2）レーザーアニール法がある。

【0006】（1）の長時間アニール法は例えば、550℃～600℃の低温の窒素雰囲気中で8時間～56時間加熱してa-Si層をポリシリコン化するものである。この方法で形成した半導体層に形成したMOSFETにおけるN-チャンネルの移動度の最大値は35cm²

／V・sec が得られたという報告がある。しかし、しきい電圧が17V位と非常に高かった。

【0007】また後者の（2）レーザーアニール法はa-Si層へのレーザー線照射によってこれをポリシリコン化する方法であり、この方法で生成した半導体基板に形成したMOSFETにおけるN-チャンネルの移動度の最大値は100cm²／V・sec に達するという事もある。

【0008】

【発明が解決しようとする課題】一般にMOSFETではチャンネルの移動度が高い程スイッチング速度の早い素子が得られる。

【0009】ところが、前記（1）のシランガスを用いたa-Si層の長時間アニール法で形成した半導体基板に形成したMOSFETにおいては、N-チャンネルの移動度が最大でも35cm²／V・sec であり、P-チャンネルの移動度については実用的な値を得ることができなかった。

【0010】また（2）のレーザーアニール法で形成した半導体基板に形成したMOSFETのN-チャンネルの移動度は高い値が得られるが、この方法ではa-Si層を均一に固相成長させることが困難であり、特に液晶の如き大画面ディスプレイやラインセンサ用に用いるTFTを形成する場合の基板としては不適當であった。

【0011】従って、本発明の目的はスイッチング速度が早く、液晶の如き大画面ディスプレイやラインセンサ用のTFTの形成を可能とする、ガラス基板上の非単結晶半導体層としてチャンネル移動度が大きく、広い面積にわたり均一な半導体層の形成を実現するものである。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明者は鋭意研究の結果、ガラス基板上の非単結晶半導体層として、その粒径が該半導体層の膜厚の1/2倍～4倍である非単結晶半導体層を用いることによって、特性のよいTFTが得られることを見出した。なお、膜厚は500Å～2000Å、粒径は250Å～8000Åが好ましい。

【0013】さらにこの条件を満足する非単結晶半導体層は、ジシランガスを用いて、低温プロセスによって形成したa-Si層を固相成長させることによって得られることを見出した。

【0014】

【実施例】本発明の一実施例を図1～図5によって説明する。

【0015】図1、図2は本発明の一実施例であるTFTの一連の製造工程説明図、図3は非単結晶半導体層の特性図、図4、図5は本発明の一実施例に形成したTFTの特性図である。

【0016】本発明の一実施例であるガラス基板上にC-MOSFETから成るTFTを形成する場合の製造工

程を説明する。

【0017】まず、非単結晶半導体層を形成するため、例えば日本電気ガラス社製のネオセラム（商品名）ガラス基板1を用意する。

*【0018】ネオセラムガラス基板は表1の如き組成である。

【0019】

*【表1】

	組 成 (%)
シリカ (SiO_2)	67
アルミナ (Al_2O_3)	23
酸化リチウム (Li_2O)	4
チタニア (TiO_2)	2
ジルコニア (ZrO_2)	3
リン酸 (P_2O_5)	1

【0020】ネオセラムガラス基板1上に本発明のジシラン (Si_2H_6) ガスを用いた減圧CVD法によりa-Si層2を約1000Åの厚さで成膜する（図1(a)参照）。

【0021】成膜条件は以下の通りである。

Si: H₂ ガス 100 SCCM
 圧力 0.3 Torr
 He ガス 200 SCCM
 加熱温度 500℃～570℃
 膜厚成長速度（グロスレート） 50Å～500Å/分

【0022】次にa-Si層2を550℃～600℃で8時間～56時間加熱し固相成長させポリシリコン層2'とする。

【0023】ポリシリコン層2'にフィールド酸化膜用のSiO₂膜3をRFスパッタリングにより形成した後、レジストによりこのSiO₂膜3をパターニングしてチャンネル部を開孔する（図1(b)参照）。

【0024】SiO₂膜3を含む基板上にゲート酸化膜4用のSiO₂膜4'を形成する。

【0025】ゲート酸化膜4としては、スパッタリングによるSiO₂膜4'を用いることにより、耐圧性がよく、水素化により界面準位密度の低い酸化膜を得る（図1(c)参照）。

【0026】成膜条件は以下の通りである。

O₂ 圧 4ミリTorr
 使用電力 1.5 KW
 成膜温度 150℃
 ターゲットサブストレート (Ts) 150mW
 膜厚 500Å～1500Å

【0027】次にこの上にゲート電極用のa-Si層

5'を形成する（図1(c)参照）。

【0028】レジストを用いた2段階のエッチングにより、ゲート電極のパターニングを行い、ゲート酸化膜4、ゲート電極5を形成する（図1(d)参照）。

20 【0029】イオン打込み用のマスクとして、一方のチャンネル部開孔部にレジスト6を形成し、開孔部に例えばリン(P)イオンをドーピングする（図1(e)参照）。

【0030】このレジスト6を剥離し、第2のイオン打ち込みのためのマスク用レジスト7を形成し、開孔部に例えばホウ素(B)イオンをドーピングし、C-MOSFETを形成する（図1(f)参照）。

【0031】次にレジスト7を剥離後、N₂雰囲気中で550℃～600℃で24時間加熱し、ドーパントの活性化とゲートa-Si層5のポリシリコン化を行う。

30 【0032】さらに例えばH₂雰囲気中で400℃、30分間加熱して水素化を行い、チャンネル層を含む半導体層の欠陥準位を減少させる（図2(a)参照）。

【0033】この後、基板全体にスパッタリングによって層間絶縁膜としてSiO₂膜8を形成する（図2(b)参照）。

【0034】次にこのSiO₂膜8にコンタクトホールを形成し、電極用のアルミニウム膜を成膜後、パターニングして、ガラス基板上の非単結晶半導体層中に低温プロセスによりC-MOSFETを完成する。

40 【0035】本発明においてはガラス基板上にa-Si層の如き非単結晶Si層を形成するためにジシランガスを用いることを特徴とするが、ジシランガスを用いたa-Si膜とシランガスを用いたa-Si膜の特性を表2に示す。

【0036】

【表2】

膜No.	成膜温度 (°C)	アニール条件 (in N ₂)	膜厚 (Å)	X線回折 強度	強度/ 膜厚	半価幅	粒径 (Å)	抵抗 (Ω・cm)	キャリア濃度 (1/cm ²)	移動度 (cm ² /V・sec)	酸素濃度 (1/cm ³)
1			500		2.61	0.4	1000	2.6×10 ⁵	1.1×10 ¹⁹ n	50.0	1×10 ²⁰ AT
2	500	600°C×48h	1500	385	2.56	•	2000	1.2×10 ⁵	5.7×10 ¹⁸ n	92.0	•
3	500	•	2000	504	2.52	•	4000	5.5×10 ⁵	3.96×10 ¹⁸ n	28.5	•
4	530	•	1100	305	2.77	•	2000	9.2×10 ⁵	8.7×10 ¹⁸ p	73.2	•
5	530	•	2300	658	2.86	•	9000	2.5×10 ⁵	1.0×10 ¹⁹ n	1.18	•
6	540	•	1000	123	1.23	0.53	500	1.8×10 ⁴	37×10 ¹⁸ p	11.3	1×10 ²⁰

【0037】表2において、膜No. 1～5はジシランガスを用いて成膜したa-Si膜のデータであり、成膜条件は、He:20SCCM、圧力:0.3 Torr、Si:H₂:100SCCMである。また膜No. 6はシランガスを用いて成膜したものであり、成膜条件は20%SiH₄/He:800SCCM、圧力0.8 Torrで成膜したものである。

【0038】なお、膜No. 5は膜厚が厚すぎるため、また膜No. 6はシランガスを用いているため、本発明の実施例には含まれない。

【0039】表2より明らかなように、No. 6に示すシランガスを用いて成膜するとき、その酸素濃度が大きいことがわかる。酸素濃度が大きいと結晶粒が成長しにくい。本発明のように結晶粒径を大きく成長させるためには酸素濃度が、 $2 \times 10^{19} / \text{cm}^3$ 以下と低いことにもとづく。

【0040】また本発明におけるa-Si膜、ポリシリコン膜等の非結晶Si膜の膜厚と平均粒径、移動度、しきい電圧等との関係を図3～図5に示す。

【0041】図3は膜厚が500Åのとき、図4は膜厚が1000Åのとき、図5は膜厚が2000Åのときの例を示す。

【0042】図3により明らかなように、膜厚が500Åのとき平均粒径が、250Å以下になるとその移動度は急激に減少する。そして平均粒径が3000Å以上になると移動度のバラツキが大きくなる。図4、図5でも同様の傾向を有する。なお図3～図5はそれぞれサンプル数n=10、nチャンネルの例を示す。

【0043】一般に、移動度μは下式により得られる。

【0044】

【数1】

$$\mu = L q \left(\frac{1}{2\pi m^* k T} \right)^{1/2} \cdot \exp \left(-\frac{E_0}{k T} \right)$$

【0045】ここでLは粒径、qは電荷、m* は有効質量、E₀ は粒界の障壁高さを示す。

【0046】上記数式より明らかな如く、粒径が大きくなると移動度は比例して大きくなる筈であるが、実際は粒径が大きくなれば障壁高さが大きくなり、図3～図5の如き状態を示すことがわかった。

【0047】さらに平均粒径が大きくなれば、SiO₂ゲート酸化膜の下に存在する粒数にバラツキが生じ、移動度が大きくバラツクことになる。

【0048】また、図6で示す如く、膜厚が増加するとリーク電流が増大する、そして実用デバイスとしてみる時、リーク電流を 1×10^{-9} (A) 以下に抑えることが望まれる。したがって膜厚は2000Å程度までがリーク電流でみる限り実用範囲ある。なお、図6はnチャンネルの例を示す。

【0049】以上のことにより、移動度のことより膜厚の最少値は500Åが好ましく、リーク電流より膜厚の最大値は2000Åが好ましいものとなる。

【0050】図7は本発明による非単結晶度半導体層に形成したMOSFETのV_G-I_D特性図であり、縦軸は 10^{-5} (A) で示す。図7(a)はNチャンネルMOSFET特性であり、移動度は50cm²/V・sec が得られる。

【0051】図7(b)はPチャンネルMOSFETの特性であり、この場合も24cm²/V・sec の移動度を得ることが出来る。

【0052】また図8は本発明の一実施例により形成したC-MOSインバータの回路図(図8(a)参照)とその動作波形図(図8(b)参照)を示す。図8から明らかな如く、本発明のガラス基板上の非単結晶半導体層に低温プロセスで形成したTFTC-MOSインバータは500KHzに対して十分早いスイッチング速度を有するインバータを得ることが出来るのは明らかである。

【0053】なお、この例のサンプルではガラス基板として、保谷ガラス社製のLE30(商品名)を用いている。

【0054】また、この例のC-MOSFETのチャンネルの幅Wと長さLの関係はL/W=5/20である。

【0055】

【発明の効果】本発明の如きガラス基板上にジシランガスを用いた低温プロセスによる非単結晶半導体層中にTFTを形成することにより、P-チャンネルの移動度が $20\text{ cm}^2/\text{V}\cdot\text{sec}$ 、以上、N-チャンネルの移動度が $50\text{ cm}^2/\text{V}\cdot\text{sec}$ 、以上と十分高い値のTFTを形成することが出来る。しかもしきい電圧を 10 V 以下と小さくすることができる。

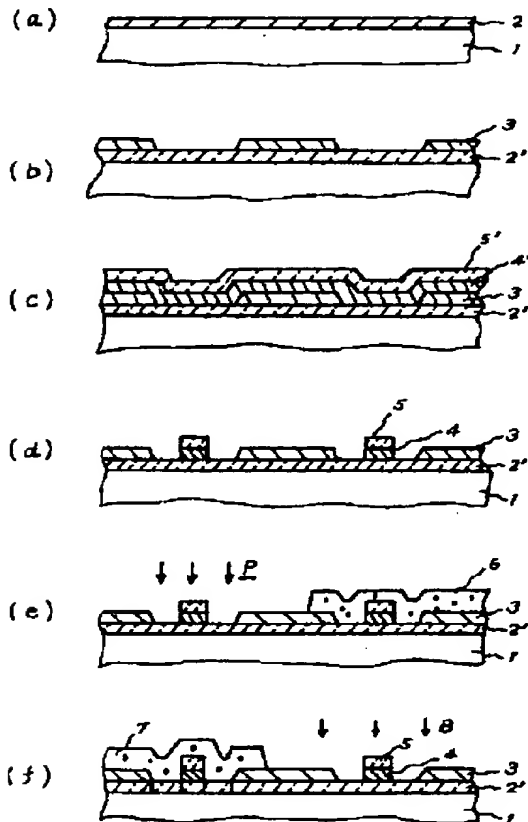
【0056】従って、図8にも例示する如く、スイッチング速度の早いインバータ等の素子をガラス基板の如く安い基板上に低温で形成することが出来、イメージセンサ、液晶ディスプレイ等のコトスダウンへの貢献は大きいものがある。

【図面の簡単な説明】

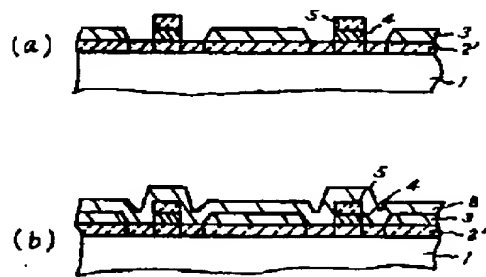
【図1】本発明の一実施例のTFTの製造工程説明図の一部である。

【図2】本発明の一実施例のTFTの製造工程説明図のうち図1の次工程説明図である。

【図1】

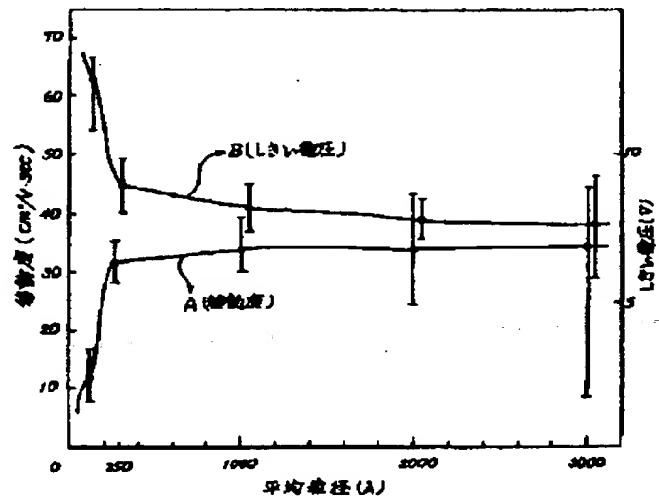


【図2】



【図3】

膜厚 500 \AA
各 70×10



【図3】本発明により形成した膜厚 500 \AA における平均粒径と移動度及びしきい電圧特性図である。

【図4】本発明により形成した膜厚 1000 \AA における平均粒径と移動度及びしきい電圧特性である。

【図5】本発明により形成した膜厚 2000 \AA における平均粒径と移動度及びしきい電圧特性である。

【図6】本発明により形成した非単結晶Si膜の膜厚とリーク電流特性である。

【図7】本発明の一実施例のTFTの特性図である。

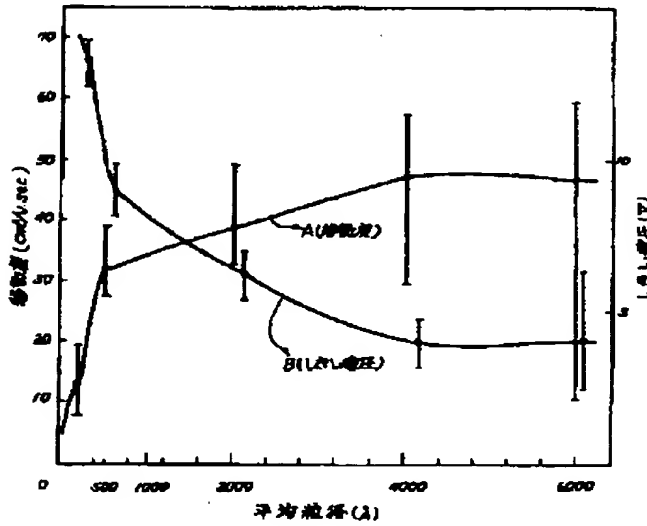
10 【図8】本発明の一実施例のTFTを用いた回路とその特性図である。

【符号の説明】

- 1 ガラス基板
- 2' ポリシリコン層
- 3 SiO_2 膜
- 4 ゲート酸化膜
- 5 ゲート電極
- 8 SiO_2 膜

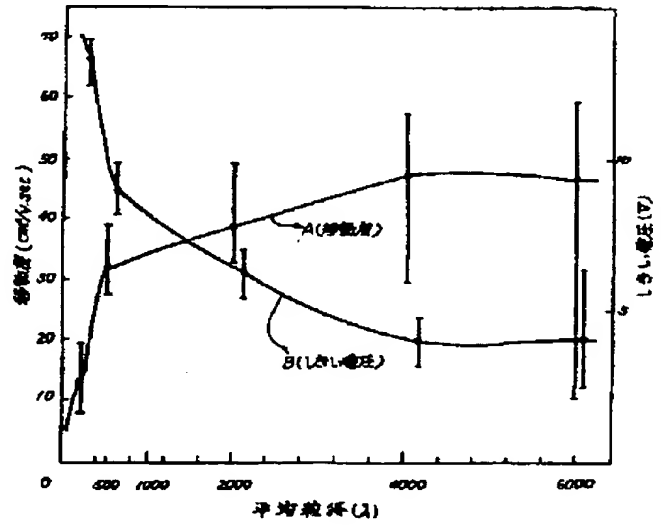
【図4】

膜厚1000Å
各元:10

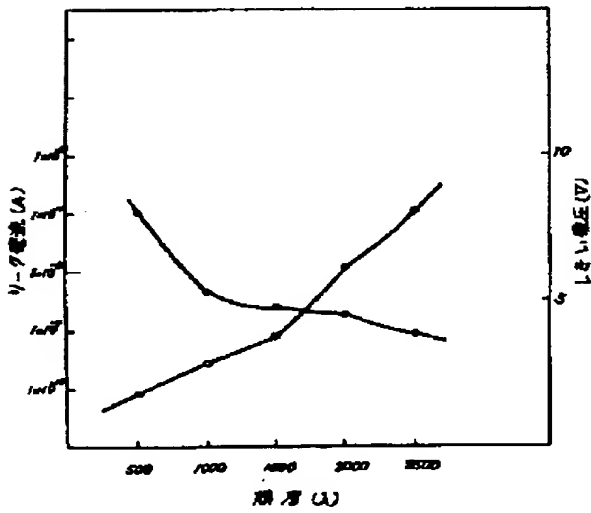


【図5】

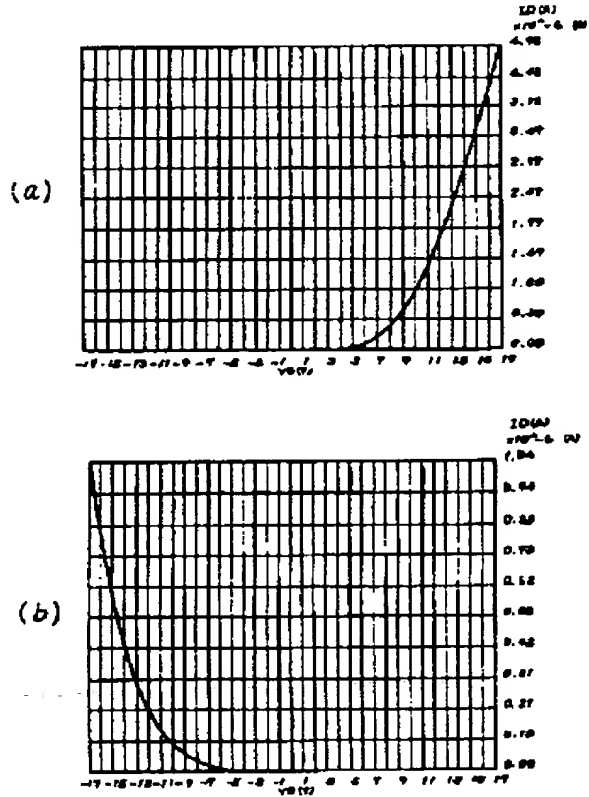
膜厚1000Å
各元:10



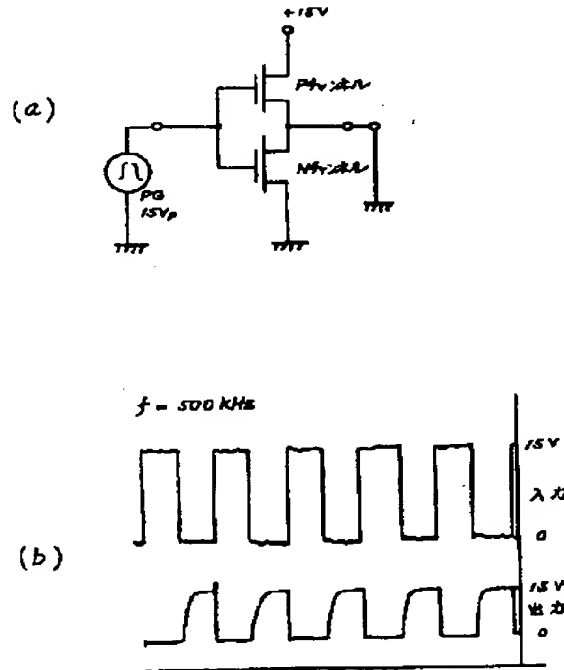
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成4年4月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は非単結晶半導体装置とその製造方法に係り、特にガラス基板上的非単結晶シリコン（ポリシリコン、アモルファスシリコン等）膜に形成した薄膜トランジスタ（Thin Film Transistor、以下TFTという）の特性を改善するものである。

【0002】

【従来の技術】ファクシミリ用のイメージセンサ等に用いるTFTは、通常石英基板あるいはガラス基板上に形成した多結晶シリコン、アモルファスシリコン等の非単結晶半導体層に形成される。

【0003】従来、石英基板上的TFTは900℃以上の高温プロセスで形成されるが、ガラス基板上的TFTは600℃以下の低温で形成される。この低温プロセスによってTFTを形成するための非単結晶層も当然600℃以下の低温で形成する。

【0004】即ち、ガラス基板上に例えばシラン（Si

H₄）ガスを用いたプラズマCVD法や減圧CVD法（LPCVD法）によりアモルファスシリコン（a-Si）層を成長させた後、固相成長させて結晶化して活性層とするものである。

【0005】固相成長させるためには、（1）低温で長時間アニールする方法と（2）レーザーアニール法がある。

【0006】（1）の長時間アニール法は例えば、550℃～600℃の低温の窒素雰囲気中で8時間～56時間加熱してa-Si層を結晶化するものである。この方法で形成した半導体層に形成したMOSFETにおけるN-チャンネルの移動度の最大値は35cm²/V・secが得られたという報告がある。しかし、しきい電圧が17V位と非常に高かった。

【0007】また後者の（2）レーザーアニール法はa-Si層へのレーザー線照射によってこれを結晶化する方法であり、この方法で生成した半導体基板に形成したMOSFETにおけるN-チャンネルの移動度の最大値は100cm²/V・secに達するという事もある。

【0008】

【発明が解決しようとする課題】一般にMOSFETではチャンネルの移動度が高い程スイッチング速度の早い素子が得られる。

【0009】ところが、前記（1）のシランガスを用い

たa-Si層の長時間アニール法で形成した半導体基板に形成したMOSFETにおいては、N-チャンネルの移動度が最大でも $35\text{ cm}^2/\text{V}\cdot\text{sec}$ であり、P-チャンネルの移動度については実用的な値を得ることができなかった。

【0010】また(2)のレーザーアニール法で形成した半導体基板に形成したMOSFETのN-チャンネルの移動度は高い値が得られるが、この方法ではa-Si層を均一に固相成長させることが困難であり、特に液晶の如き大画面ディスプレイやラインセンサ用に用いるTFTを形成する場合の基板としては不適当であった。

【0011】従って、本発明の目的はスイッチング速度が早く、液晶の如き大画面ディスプレイやラインセンサ用のTFTの形成を可能とする、ガラス基板上の非単結晶半導体層としてチャンネル移動度が大きく、広い面積にわたり均一な半導体層の形成を実現するものである。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明者は鋭意研究の結果、ガラス基板上の非単結晶半導体層として、その粒径が該半導体層の膜厚の1/2倍～4倍である非単結晶半導体層を用いることによって、特性のよいTFTが得られることを見出した。なお、膜厚は500Å～2000Å、粒径は250Å～8000Åが好ましい。

【0013】さらにこの条件を満足する非単結晶半導体層は、ジシランガスを用いて、低温プロセスによって形成したa-Si層を固相成長させることによって得られることを見出した。

【0014】

【実施例】本発明の一実施例を図1～図5によって説明する。

【0015】図1、図2は本発明の一実施例であるTFTの一連の製造工程説明図、図3は非単結晶半導体層の特性図、図4、図5は本発明の一実施例に形成したTFTの特性図である。

【0016】本発明の一実施例であるガラス基板上にC-MOSFETから成るTFTを形成する場合の製造工程を説明する。

【0017】まず、非単結晶半導体層を形成するため、例えば日本電気ガラス社製のネオセラム(商品名)ガラス基板1を用意する。

【0018】ネオセラムガラス基板は表1の如き組成である。

【0019】

【表1】

	組成(%)
シリカ (SiO ₂)	67
アルミナ (Al ₂ O ₃)	23
酸化ホウ素 (B ₂ O ₃)	4
酸化ナトリウム (Na ₂ O)	2
シリコニア (Si ₃ N ₄)	3
リン酸 (P ₂ O ₅)	1

【0020】ネオセラムガラス基板1上に本発明のジシラン(Si₂H₆)ガスを用いた減圧CVD法によりa-Si層2を約1000Åの厚さで成膜する(図1(a)参照)。

【0021】成膜条件は以下の通りである。

Si₂H₆ガス 100SCCM

圧力 0.3 Torr

Heガス 200SCCM

加熱温度 450℃～570℃

膜厚成長速度(グロスレート) 50Å～500Å/分

【0022】次にa-Si層2を550℃～600℃で8時間～56時間加熱し固相成長させ固相成長した膜2'とする。

【0023】固相成長した膜2'にフィールド酸化膜用のSiO₂膜3をRFスパッタリングにより形成した後、レジストによりこのSiO₂膜3をパターンニングしてチャンネル部を開孔する(図1(b)参照)。

【0024】SiO₂膜3を含む基板上にゲート酸化膜4用のSiO₂膜4'を形成する。

【0025】ゲート酸化膜4'としては、スパッタリングによるSiO₂膜4'を用いることにより、耐圧性がよく、水素化により界面準位密度の低い酸化膜を得る(図1(c)参照)。

【0026】成膜条件は以下の通りである。

O₂圧 4ミリTorr

使用電力 1.5KW

成膜温度 150℃

ターゲットサブストレート(Ts) 150mm

膜厚 500Å～1500Å

【0027】次にこの上にゲート電極用のa-Si層5'を形成する(図1(c)参照)。

【0028】レジストを用いた2段階のエッチングにより、ゲート電極のパターンニングを行い、ゲート酸化膜4、ゲート電極5を形成する(図1(d)参照)。

【0029】イオン打込み用のマスクとして、一方のチャンネル部開孔部にレジスト6を形成し、開孔部に例えばリン(P)イオンをドーピングする(図1(e)参照)。

【0030】このレジスト6を剥離し、第2のイオン打ち込みのためのマスク用レジスト7を形成し、開孔部に例えばホウ素(B)イオンをドーピングし、C-MOSFETを形成する(図1(f)参照)。

【0031】次にレジスト7を剥離後、N₂雰囲気中で550℃～600℃で24時間加熱し、ドーパントの活性化とゲートa-Si層5の結晶化を行う。

【0032】さらに例えばH₂雰囲気中で400℃、30分間加熱して水素化を行い、チャンネル層を含む半導体層の欠陥準位を減少させる(図2(a)参照)。

【0033】この後、基板全体にスパッタリングによって層間絶縁膜としてSiO₂膜8を形成する(図2(b)参照)。

【0034】次にこのSiO₂膜8にコンタクトホールを形成し、電極用のアルミニウム膜を成膜後、パターン*

ングして、ガラス基板上的非単結晶半導体層中に低温プロセスによりC-MOSFETを完成する。

【0035】本発明においてはガラス基板上にa-Si層の如き非単結晶Si層を形成するためにジシランガスを用いることを特徴とするが、ジシランガスを用いたa-Si膜とシランガスを用いたa-Si膜の特性を表2に示す。

【0036】

【表2】

膜No.	成膜温度 (℃)	アーク電流 (in Nz)	膜厚 (Å)	X線回折 強度	酸素/ 膜厚	半値幅	抵抗 (Ω)	抵抗 (Ω・cm)	キャリア濃度 (1/cm ³)	移動度 (cm ² /Vsec)	飽和電流 (1/cm ²)
1	500	600℃×48h	500	130.5	2.61	0.4	1000	2.6×10 ⁴	1.1×10 ¹⁸ n	50.0	1×10 ²⁵
2	500	600℃×48h	1500	385	2.56	•	2000	1.2×10 ⁴	5.7×10 ¹⁸ n	92.0	•
3	500	•	2000	504	2.52	•	4000	5.5×10 ⁴	3.9×10 ¹⁸ n	28.5	•
4	530	•	1100	305	2.77	•	2000	9.2×10 ⁴	8.7×10 ¹⁸ p	73.2	•
5	530	•	2300	658	2.86	•	9000	2.3×10 ⁵	1.0×10 ¹⁸ n	1.18	•
6	540	•	1000	123	1.23	0.53	500	1.8×10 ⁴	3.7×10 ¹⁸ p	11.3	1×10 ²⁰

【0037】表2において、膜No. 1～5はジシランガスを用いて成膜したa-Si膜のデータであり、成膜条件は、He:200SCCM、圧力:0.3 Torr、Si:H₂:100SCCMである。また膜No. 6はシランガスを用いて成膜したものであり、成膜条件は20%SiH₄/He:800SCCM、圧力0.8 Torrで成膜したものである。

【0038】なお、膜No. 5は膜厚が厚すぎるため、また膜No. 6はシランガスを用いているため、本発明の実施例には含まれない。

【0039】表2より明らかなように、No. 6に示すシランガスを用いて成膜するとき、その酸素濃度が大きいことがわかる。酸素濃度が大きいと結晶粒が成長しにくい。本発明のように結晶粒径を大きく成長させるためには酸素濃度が、 $2 \times 10^{19} / \text{cm}^3$ 以下と低いことにもとづく。

【0040】また本発明におけるa-Si膜固相成長した膜等の非結晶Si膜の膜厚と平均粒径、移動度、しきい電圧等との関係を図3～図5に示す。

【0041】図3は膜厚が500Åのとき、図4は膜厚が1000Åのとき、図5は膜厚が2000Åのときの例を示す。

【0042】図3により明らかなように、膜厚が500Åのとき平均粒径が、250Å以下になるとその移動度は急激に減少する。そして平均粒径が3000Å以上になると移動度のバラツキが大きくなる。図4、図5でも

同様の傾向を有する。なお図3～図5はそれぞれサンプル数n=10、nチャンネルの例を示す。

【0043】一般に、移動度μは下式により得られる。

【0044】

【数1】

$$\mu = \frac{q}{2\pi m^* kT} \left(\frac{1}{\pi} \right)^{1/2} \exp\left(-\frac{E_B}{kT}\right)$$

【0045】ここでLは粒径、qは電荷、m*は有効質量、E_Bは粒界の障壁高さを示す。

【0046】上記数式より明らかな如く、粒径が大きくなると移動度は比例して大きくなる筈であるが、実際は粒径が大きくなれば障壁高さが大きくなり、図3～図5の如き状態を示すことがわかった。

【0047】さらに平均粒径が大きくなれば、SiO₂ゲート酸化膜の下に存在する粒数にバラツキが生じ、移動度が大きくバラツクことになる。

【0048】また、図6で示す如く、膜厚が増加するとリーク電流が増大する、そして実用デバイスとしてみるとき、リーク電流を 1×10^{-8} (A)以下に抑えることが望まれる。したがって膜厚は2000Å程度までがリーク電流でみる限り実用範囲である。なお、図6はnチャンネルの例を示す。

【0049】以上のことにより、移動度のことより膜厚の最小値は500Åが好ましく、リーク電流より膜厚の

最大値は2000Aが好ましいものとなる。

【0050】図7は本発明による非単結晶度半導体層に形成したMOSFETの $V_G - I_D$ 特性図であり、縦軸は 10^{-6} (A)で示す。図7(a)はNチャンネルMOSFET特性であり、移動度は $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ が得られる。

【0051】図7(b)はPチャンネルMOSFETの特性であり、この場合も $24 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の移動度を得ることが出来る。

【0052】また図8は本発明の一実施例により形成したC-MOSインバータの回路図(図8(a)参照)とその動作波形図(図8(b)参照)を示す。図8から明らかな如く、本発明のガラス基板上の非単結晶半導体層に低温プロセスで形成したTFET-C-MOSインバータは500KHzに対して十分早いスイッチング速度を有するインバータを得ることが出来るのは明らかである。

【0053】なお、この例のサンプルではガラス基板として、保谷ガラス社製のLE30(商品名)を用いている。

【0054】また、この例のC-MOSFETのチャンネルの幅Wと長さLの関係は $L/W = 5/20$ である。

【0055】

【発明の効果】本発明の如きガラス基板上にジシランガ

スを用いた低温プロセスによる非単結晶半導体層中にTFETを形成することにより、P-チャンネルの移動度が $20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、以上、N-チャンネルの移動度が $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、以上と十分高い値のTFETを形成することが出来る。しかもしきい電圧を10V以下と小さくすることができる。

【0056】従って、図8にも例示する如く、スイッチング速度の早いインバータ等の素子をガラス基板の如く安い基板上に低温で形成することが出来、イメージセンサ、液晶ディスプレイ等のコトスダウンへの貢献は大きいものがある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

- 1 ガラス基板
- 2' 固相成長した膜
- 3 SiO_2 膜
- 4 ゲート酸化膜
- 5 ゲート電極
- 8 SiO_2 膜

フロントページの続き

(51)Int.Cl.⁵

H01L 27/12

識別記号

庁内整理番号

P 8728-4M

FI

技術表示箇所